

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10022448 A

(43) Date of publication of application: 23.01.98

(51) Int. Cl

H01L 23/60
H01L 23/50
H01L 25/00
H02H 7/20
H05F 3/02

(21) Application number: 08173146

(71) Applicant: OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(22) Date of filing: 03.07.96

(72) Inventor: FUCHIGAMI CHIKASHI

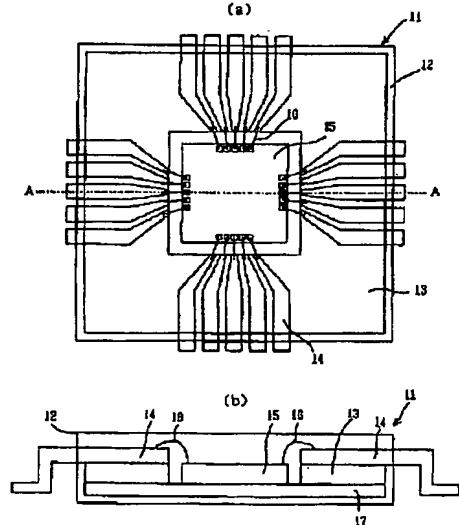
(54) STATIC DAMAGE/LATCH-UP PREVENTIVE SEMICONDUCTOR DEVICE

potential, GND through the conductor portion 17.

(57) Abstract:

PROBLEM TO BE SOLVED: To take secure preventive measures for ESD and LUP, and reduce the chip size to realize reduction in manufacturing cost, by spreading a conductor portion in an inner lead region, and holding and electrically connecting an element forming a preventive circuit between the inner lead and the conductor portion.

SOLUTION: A static damage/latch-up preventive semiconductor device has a conductor portion 17 which is spread on the bottom portion of a semiconductor package 11 and connected to a power supply or GND, a chip 15 mounted at the center on the conductor portion 17, an element 13 forming a static damage/latch-up preventive circuit arranged on the conductor portion 17 and around the chip 15, and an inner lead 14 connected to the upper surface of the element 13. Then, by holding and electrically connecting the element 13 between the inner lead 14 and the conductor portion 17, a surge applied to the inner lead 14 is absorbed by the preventive circuit and then emitted to the power supply or the ground



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-22448

(43)公開日 平成10年(1998)1月23日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L	23/60		H 01 L 23/56	B
	23/50		23/50	X
	25/00		25/00	B
H 02 H	7/20		H 02 H 7/20	F
H 05 F	3/02		H 05 F 3/02	L

審査請求 未請求 請求項の数8 O L (全8頁)

(21)出願番号 特願平8-173146

(22)出願日 平成8年(1996)7月3日

(71)出願人 591049893
株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 潤上 千加志
宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

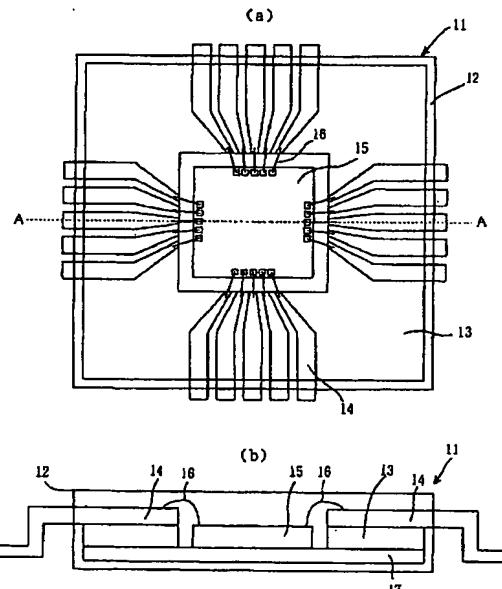
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 静電破壊/ラッチアップ対策半導体装置

(57)【要約】

【課題】 確実なESD及びLUPの対策を講じるとともに、チップサイズを小さくすることができ、製造コストの低減を図ることができる静電破壊/ラッチアップ対策半導体装置を提供する。

【解決手段】 半導体パッケージの底部に敷きつめられる電源またはGNDに接続される導体部17と、この導体部17上の中央に搭載されるチップ15と、前記導体部17上であって前記チップ15の周囲に配置される静電破壊/ラッチアップ対策回路を構成する素子13と、この素子13の上面に接続されるインナーリード14とを設ける。



11:パッケージ
12:パッケージ外形
13:対策回路を構成する素子
14:インナーリード
15:チップ
16:ボンディングワイヤ
17:導体部

【特許請求の範囲】

【請求項1】(a) 半導体パッケージの底部に敷かれるとともに、電源またはGNDに接続される導体部と、
 (b) 該導体部上の中間に搭載されるチップと、(c) 前記導体部上であって前記チップの周囲に配置される静電破壊／ラッチアップ対策回路を構成する素子と、
 (d) 該素子の上面に接続されるインナーリードとを具備することを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項2】請求項1記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードは前記素子の上面に直付けされることを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項3】請求項2記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリード上に静電破壊／ラッチアップ対策回路を構成する素子を配置し、該素子の上面に電源またはGNDに接続される導体部を備えることを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項4】請求項1記載の静電破壊／ラッチアップ対策半導体装置において、前記素子の上面と前記インナーリード間を導体で接続し、かつ前記素子の上面と前記チップ間を導体で接続することを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項5】請求項4記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードと前記半導体パッケージの底部に敷かれるとともに、電源またはGNDに接続される導体部との間に静電破壊／ラッチアップ対策回路を構成する素子を配置することを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項6】請求項1記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードは前記素子の外側上面に直付けし、前記素子の内側上面と前記チップとを導体で接続することを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項7】請求項6記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリード上面に形成される静電破壊／ラッチアップ対策回路を構成する素子と、該素子上に形成される電源またはGNDに接続される導体部とを形成することを特徴とする静電破壊／ラッチアップ対策半導体装置。

【請求項8】請求項1乃至7記載のいずれか1項記載の静電破壊／ラッチアップ対策半導体装置において、前記静電破壊／ラッチアップ対策回路を構成する素子は不導体のフィルム、半導体のPN接合によるダイオード、又は半導体トランジスタにより構成されるダイオードであることを特徴とする静電破壊／ラッチアップ対策半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電破壊（ESD）／ラッチアップ（LUP）対策半導体装置に関するものである。

【0002】

【従来の技術】従来、静電破壊（ESD）／ラッチアップ（LUP）耐量向上のための対策回路（以下、これらのESD及びLUP耐量向上のための対策回路を、単に対策回路という）として、シリコンウエハ上に実現されるデバイス（以下、チップと称す）において、対策回路をパターン化し、サージが印加された際には、対策回路を通して電源、または基板にサージを放出する方法を探っている。

【0003】このような場合には、以下に示すような問題点があった。

(1) 対策回路自体のサイズがサージ耐量に比例するため、縮小には限度があり、また、対策回路と内部回路にある程度の距離を必要とするため、ボンディングパッド周辺のパターン（以下、I/Oと称す）のサイズが大きくなることは避けられず、結果的にチップが大きくなる。

【0004】(2) 対策回路を通して基板ウエハに放出されたサージは、そのまま内部回路に到達し、LUPのトリガー電流となる。

(3) 対策回路の構成方法やデバイスの強度が異なるため、ウエハプロセス毎にI/O専用の設計基準が必要となり、その設計基準作成のために、試作チップによるESD/LUP測定が必要となる。本測定には、相当数のサンプルと時間を要し、しかも、基準に満たない場合には再作成を行うため、相当の期間を要する。さらに、試作品ではなく商品において基準に満たない場合も、量産が困難になるため、商品再作成を余儀なくされ、納期／信用に影響する。

【0005】また、上記したチップ内に対策回路を設けることと併用して、リードフレームと電源の間に容量をもたせることにより、静電耐量を持たせ、電源ノイズを低減するようにしたり（例えば、特開平6-350021号参照）や、リードフレームとの上面に絶縁シートを貼り付け、その絶縁シート上面に上記対策回路を有する半導体チップを搭載するようにしたもの（例えば、特開平6-232332号参照）が提案されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記した対策回路では、ESD及びLUPの原因となる外部入力であるサージが、対策回路を通るよりも早く、チップに到達することになる。また、対策回路に印加されたサージを放出する経路が確保されておらず、有効な対策になりえない。

【0007】本発明は、上記問題点を除去し、チップ内に対策回路を設けることなく、しかもリードフレームと電源又はGNDに接続される導体部間及び又はリードフ

レームとチップ間に外付けとして、対策回路を構成し得る素子を配置して確実なESD及びLUPの対策を講じるとともに、チップサイズを小さくすることができ、製造コストの低減を図ることができる静電破壊／ラッチアップ対策半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕静電破壊／ラッチアップ対策半導体装置において、半導体パッケージの底部に敷かれるとともに、電源またはGNDに接続される導体部と、この導体部上の中央に搭載されるチップと、前記導体部上であって前記チップの周囲に配置される静電破壊／ラッチアップ対策回路を構成する素子と、この素子の上面に接続されるインナーリードとを設けるようにしたものである。

【0009】〔2〕上記〔1〕記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードは前記素子の上面に直付けされたようにしたものである。

〔3〕上記〔2〕記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリード上に静電破壊／ラッチアップ対策回路を構成する素子を配置し、この素子の上面に電源またはGNDに接続される導体部を備えるようにしたものである。

【0010】〔4〕上記〔1〕記載の静電破壊／ラッチアップ対策半導体装置において、前記素子の上面と前記インナーリード間を導体で接続し、かつ前記素子の上面と前記チップ間を導体で接続するようにしたものである。

〔5〕上記〔4〕記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードと前記半導体パッケージの底部に敷かれるとともに、電源またはGNDに接続される導体部との間に静電破壊／ラッチアップ対策回路を構成する素子を配置するようにしたものである。

【0011】〔6〕上記〔1〕記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリードは前記素子の外側上面に直付けし、前記素子の内側上面と前記チップとを導体で接続するようにしたものである。

〔7〕上記〔6〕記載の静電破壊／ラッチアップ対策半導体装置において、前記インナーリード上面に形成される静電破壊／ラッチアップ対策回路を構成する素子と、この素子上に形成される電源またはGNDに接続される導体部とを形成するようにしたものである。

【0012】〔8〕上記〔1〕乃至〔7〕記載のいずれか1項記載の静電破壊／ラッチアップ対策半導体装置において、前記静電破壊／ラッチアップ対策回路を構成する素子は不導体のフィルム、半導体のPN接合によるダイオード、又は半導体トランジスタにより構成されるダイオードである。

上記のように構成したので、チップ内に対策回路を設けることなく、しかもリードフレームと電源又はGNDに接続される導体部間及び又はリードフレームとチップ間に外付けとして、対策回路を構成し得る素子を配置して確実なESD及びLUPの対策を講じるとともに、チップサイズを小さくすることができ、製造コストの低減を図ることができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1実施例を示す静電破壊／ラッチアップ対策回路をパッケージ(PKG)に作り込む場合の構成図であり、図1(a)はその平面図、図1(b)は図1(a)のA-A線断面図である。

【0014】図において、11はパッケージ、12はそのパッケージ外形、13は対策回路を構成する素子(物)、14はインナーリード、15はチップ、16はチップ15とインナーリード14間を接続するボンディングワイヤ、17は半導体パッケージの底部に敷かれるとともに電源または接地電位(以下GNDと称す)に接続された導体部である。

【0015】このように、インナーリード14の領域に、電源または接地電位(以下GNDと称す)に接続された導体部17を敷きつめ、インナーリード14と前記導体部17の間に対策回路を構成する素子13を挟み込み、電気的に接続することにより、インナーリード14に印加されたサーボは対策回路で吸収された後、前記導体部17を通して電源または接地電位GNDに放出される。

【0016】図2は本発明の第2実施例を示す静電破壊／ラッチアップ対策回路をパッケージ(PKG)に作り込む場合の構成図であり、図2(a)はその平面図、図2(b)は図2(a)のA部の対策回路の構成図である。ここでは、対策回路を構成する素子を挟み込む方法として、例えば、不導体であるフィルム21を用いて、インナーリード14と接触する位置に対策回路を作り込み、インナーリード14と前記導体部17の間に前記フィルム21を挟み込み、電気的に接続することが考えられる。また、例えば、シリコンウエハ等の対策回路を構成し得る材料を用い、前記材料そのものに対策回路を構成し、前記フィルム21の部分を前記材料に置き換えることにより、同様に実現することができる。なお、10はチップが搭載される空間である。

【0017】さらに、前記導体部17と入出力信号のリード間の容量効果により、ノイズ低減の効果が期待できる。次に、本発明の第3実施例について説明する。図3は本発明の第3実施例を示す静電破壊／ラッチアップ対策回路をパッケージ(PKG)に作り込む場合の構成図であり、図3(a)はその平面図、図3(b)は図3(a)のB-B線断面図である。

【0018】第1実施例と同様の方法を用い、さらに、例えば、半導体パッケージの底部に敷かれるとともに電源又はGNDに接続された導体部17—対策回路を構成する素子(物)31—インナーリード14—対策回路を構成する素子(物)32—半導体パッケージの底部に敷かれるとともに、電源又はGNDに接続された導体部33の順に挟み込む構造にする。対策回路の構成については図2と同様である。

【0019】さらに、正負両方のサージに対応が可能なESD/LUP対策回路を構成することができ、チップ面積縮小の効果も高い。次に、本発明の第4実施例について説明する。図4は本発明の第4実施例を示す静電破壊/ラッチアップ対策回路をインナーリード—チップ間に作り込む場合の構成図であり、図4(a)はその平面図、図4(b)は図4(a)のC-C線断面図である。

【0020】図4に示すように、デバイスチップの搭載スペースを残して、パッケージに予めESD/LUP対策回路を構成した素子(物)41、例えば、シリコンウエハ上に実現されたダイオードを設置する。前記素子41は、インナーリード14と、ボンディングワイヤ43あるいはプリント配線等で接続され、かつ、対策回路を構成した素子41は電源及びGNDに接続されることにより、インナーリード14に印加されたサージは前記対策回路を構成した素子41を通して、電源またはGNDに放出される。なお、42はボンディングワイヤである。

【0021】対策回路については、第1実施例及び第2実施例で用いられるダイオードの他に、シリコンウエハ上に実現されたトランジスタを電源/GNDに接続する形式のダイオードを使用することもできる(後述する図5参照)。次に、本発明の第5実施例について説明する。図5は本発明の第5実施例を示す静電破壊/ラッチアップ対策回路をインナーリード—チップ間に作り込む場合の構成図であり、図5(a)はその全体平面図、図5(b)は図5(a)のA部上面図、図5(c)は図5(a)のA部断面図、図5(d)は他の例(トランジスタによるダイオード)を示す図5(a)の上面図である。

【0022】図5において、50はチップが搭載される空間、51は不導体のフィルムまたは対策回路を構成し得る材料、52は対策回路を作り込む領域、53は半導体のPN接合によるダイオード、54は半導体パッケージの底部に敷かれるとともに電源またはGNDに接続される導体部と、55は電源又はGNDに接続されるトランジスタによるダイオードである。

【0023】このように、対策回路については、第1実施例及び第2実施例で用いられるダイオードの他に、シリコンウエハ上に実現されたトランジスタを電源/GNDに接続する形式のダイオードを使用することもできる。また、正負両方のサージに対応が可能なESD/L

UP対策回路を構成することができ、チップ面積縮小の効果も高く、さらに、パッケージを選ばずに構成することができ、必要部分だけに対策回路を構築できるといったフレキシビリティを提供することができる。

【0024】次に、本発明の第6実施例について説明する。図6は本発明の第6実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリード—チップ間に作り込む場合の構成図であり、図6(a)はその平面図、図6(b)は図6(a)のD-D線断面図である。この実施例では、第1実施例と第4実施例を組み合わせた構成にする。

【0025】図6において、61はパッケージ外形、62はチップ、63は半導体パッケージの底部に敷かれるとともに電源またはGNDに接続される導体部、64は対策回路を構成する素子(物)(導体部63とインナーリード65との間に配置される)、65はインナーリード、66はインナーリード65とチップ62との間に配置される対策回路を構成する素子(物)、67はインナーリード65と対策回路を構成する素子66との間を接続するボンディングワイヤ、68は対策回路を構成する素子66とチップ62との間を接続するボンディングワイヤである。

【0026】この実施例では、対策回路については、第1実施例及び第2実施例で用いられるダイオードと、シリコンウエハ上に実現されたトランジスタを電源/GNDに接続する形式のダイオードを同時に使用することができる。また、ESD/LUP対策としては第1実施例、第3実施例の効果が期待できる。さらに、導体部と入出力信号のリード間の容量効果によりノイズ低減の効果が期待できる。

【0027】次に、本発明の第7実施例について説明する。図7は本発明の第7実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリード—チップ間に作り込む場合の構成図であり、図7(a)はその平面図、図7(b)は図7(a)のE-E線断面図である。図7において、71はパッケージ外形、72はチップ、73は半導体パッケージの底部に敷かれるとともに電源またはGNDに接続される導体部、74は対策回路を構成する素子(物)(導体部73とインナーリード75との間に配置される)、75はインナーリード、76は対策回路を構成する素子74とチップ72との間を接続するボンディングワイヤである。

【0028】この実施例では、主に金線で高価なボンディングワイヤを短く／少なくすることができ、経済効果が高い。次に、本発明の第8実施例について説明する。図8は本発明の第8実施例を示す静電破壊/ラッチアップ対策回路をインナーリード—チップ間に作り込む場合の構成図であり、図8(a)は全体の平面図、図8(b)は図8(a)のA部断面図、図8(c)は他の例(トランジスタによるダイオード)を示す図8(a)の

上面図である。

【0029】対策回路については、図8（b）に示すように、第1実施例及び第3実施例で用いられるダイオードのみか、あるいは、図8（c）に示すように、シリコンウエハ上に実現されたトランジスタを電源/GNDに接続する形式のダイオード77を使用することもできる。次に、本発明の第9実施例について説明する。

【0030】図9は本発明の第9実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリードチップ間に作り込む場合の構成図であり、図9（a）はその平面図、図9（b）は図9（a）のF-F線断面図である。図9において、81はパッケージ外形、82はチップ、83は半導体パッケージの底部に敷かれるとともに電源またはGNDに接続される導体部、84は対策回路を構成する素子（導体部83とインナーリード85との間に配置される）、85はインナーリード、86は対策回路を構成する素子84とチップ82との間を接続するボンディングワイヤ、87はインナーリード85上に形成される対策回路を構成する素子（物）（導体部88とインナーリード85との間に配置される）、88は対策回路を構成する素子87上に形成され、電源またはGNDに接続される導体部である。

【0031】この実施例では、ESD/LUP対策として、第3実施例及び第7実施例と同様の効果が期待できる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0032】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。チップ内に対策回路を設けることなく、しかもリードフレームと電源又はGNDに接続される導体部間及び又はリードフレームとチップ間に外付けとして、対策回路を構成し得る素子を配置して確実なESD及びLUPの対策を講じるとともに、チップサイズを小さくすることができ、製造コストの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す静電破壊/ラッチアップ対策回路をパッケージ（PKG）に作り込む場合の構成図である。

【図2】本発明の第2実施例を示す静電破壊/ラッチアップ対策回路をパッケージ（PKG）に作り込む場合の

構成図である。

【図3】本発明の第3実施例を示す静電破壊/ラッチアップ対策回路をパッケージ（PKG）に作り込む場合の構成図である。

【図4】本発明の第4実施例を示す静電破壊/ラッチアップ対策回路をインナーリードチップ間に作り込む場合の構成図である。

【図5】本発明の第5実施例を示す静電破壊/ラッチアップ対策回路をインナーリードチップ間に作り込む場合の構成図である。

【図6】本発明の第6実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリードチップ間に作り込む場合の構成図である。

【図7】本発明の第7実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリードチップ間に作り込む場合の構成図である。

【図8】本発明の第8実施例を示す静電破壊/ラッチアップ対策回路をインナーリードチップ間に作り込む場合の構成図である。

【図9】本発明の第9実施例を示す静電破壊/ラッチアップ対策回路をパッケージとインナーリードチップ間に作り込む場合の構成図である。

【符号の説明】

10, 50 チップが搭載される空間

11 パッケージ

12, 61, 71, 81 パッケージ外形

13, 31, 32, 41, 64, 66, 74, 84, 87 対策回路を構成する素子（物）

14, 65, 75, 85 インナーリード

15, 62, 72, 82 チップ

16, 42, 43, 67, 68, 76, 86 ボンディングワイヤ

17, 54, 63, 73, 83 半導体パッケージの底部に敷かれるとともに、電源またはGNDに接続される導体部

21 不導体であるフィルム

33, 88 電源またはGNDに接続される導体部

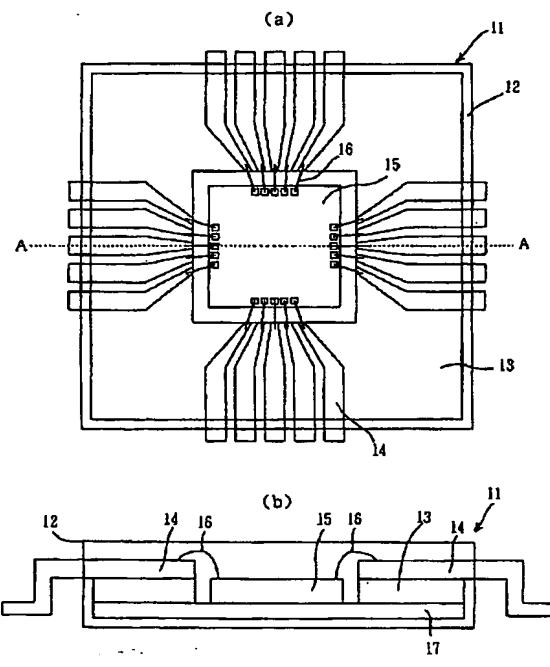
51 不導体のフィルムまたは対策回路を構成し得る材料

52 対策回路を作り込む領域

53 半導体のPN接合によるダイオード

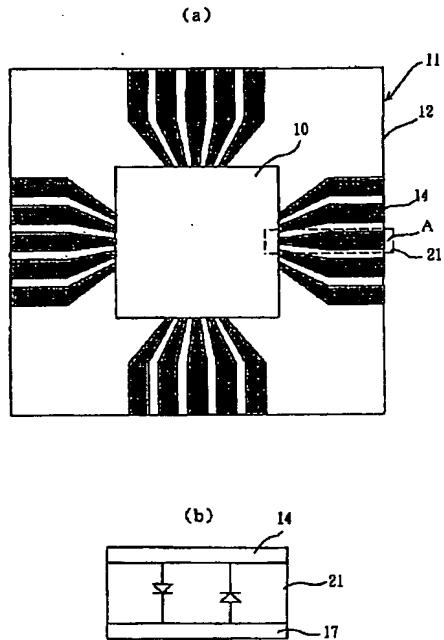
55, 77 トランジスタによるダイオード

【図1】

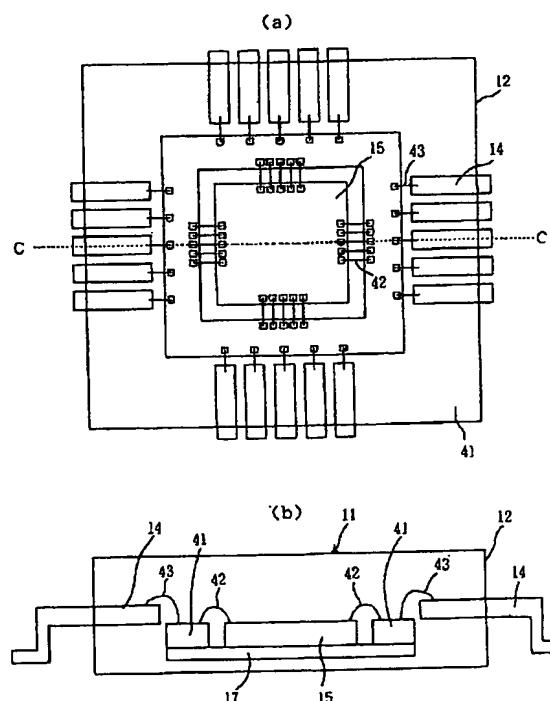
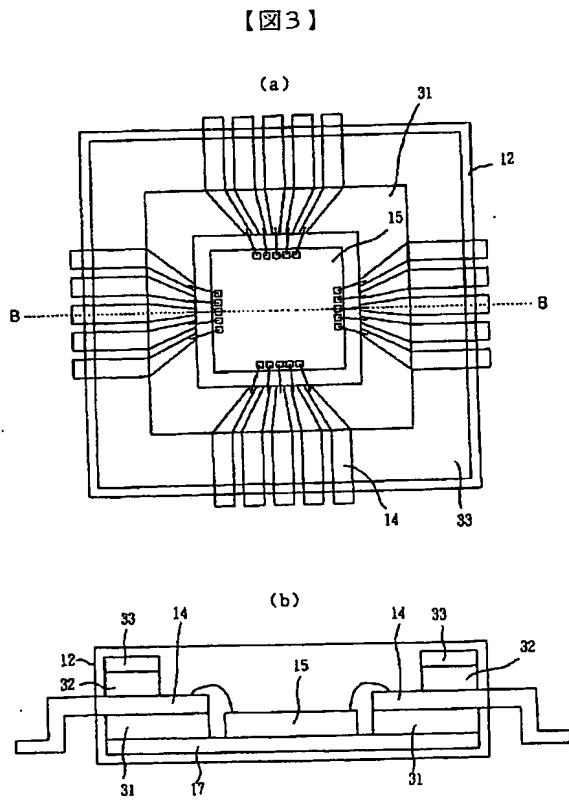


11:パッケージ
12:パッケージ外形
13:対策回路を構成する素子
14:インナーリード
15:チップ
16:ボンディングワイヤ
17:導体部

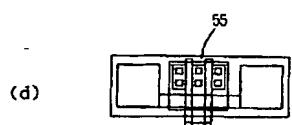
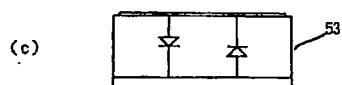
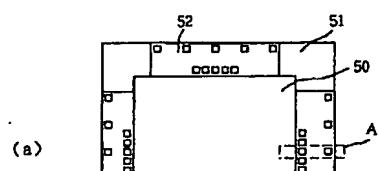
【図2】



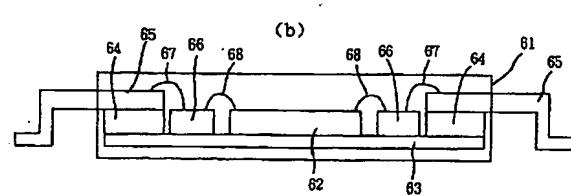
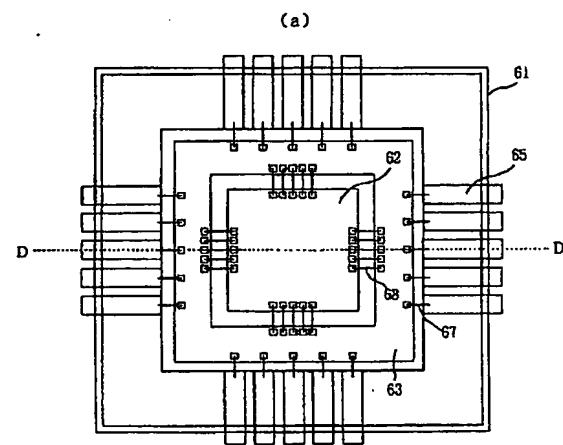
【図4】



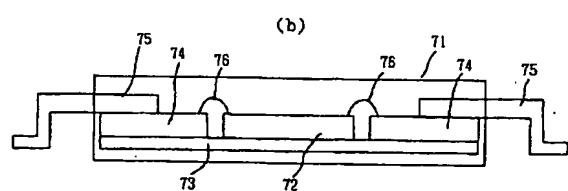
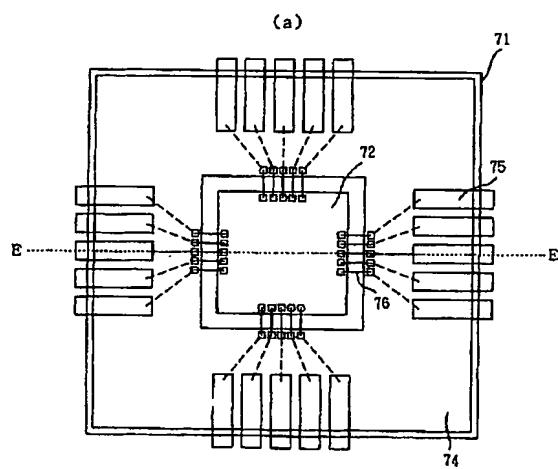
【図5】



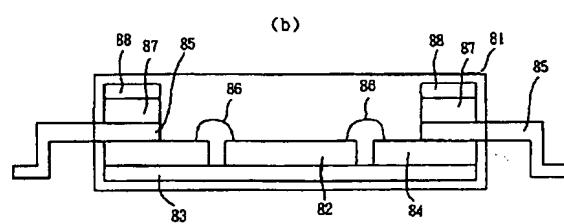
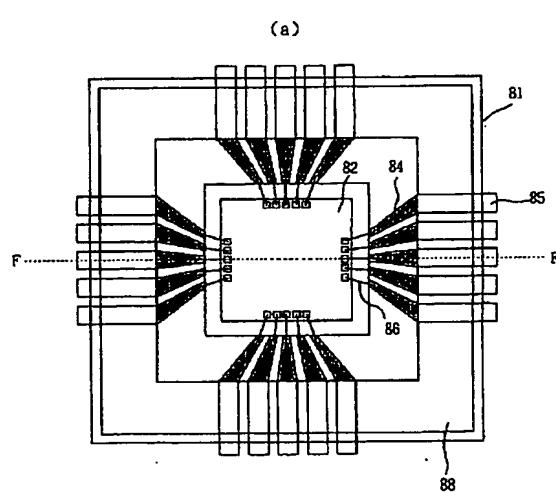
【図6】



【図7】



【図9】



【図8】

